

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-181554

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

G05F 1/56
// H03F 3/45

(21)Application number : 10-355573

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.12.1998

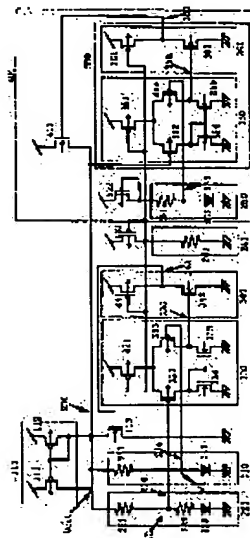
(72)Inventor : SATOMI KATSUJI
SAKIYAMA SHIRO
KINOSHITA MASAYOSHI

(54) STARTUP CIRCUIT FOR REFERENCE VOLTAGE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a startup circuit capable of stably moving the operating point to normal point within a wide power supply voltage range in a reference voltage generating circuit.

SOLUTION: When generating a reference voltage under the feedback control of both outputs from first and second voltage generating circuits 210 and 220 composed of resistors and diode elements while having a reference voltage generating terminal 230 through operational amplifier circuits 330 and 340, the outputs of a third voltage generating circuit 250 having a diode element 252 and the reference voltage generating terminal 230 are compared by a comparator circuit 380 and when the output level of the reference voltage generating terminal side is lower, a current to be supplied to the reference voltage generating terminal 230 is increased. Thus, a control circuit 411 for moving from an abnormal operating point to normal stable operating point is provided.



LEGAL STATUS

[Date of request for examination] 04.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3422706

[Date of registration] 25.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-181554

(P2000-181554A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 P 5 H 4 3 0
// H 0 3 F 3/45		H 0 3 F 3/45	3 1 0 E 5 J 0 6 6
			A

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平10-355573

(22) 出願日 平成10年12月15日 (1998.12.15)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 里見 勝治

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 崎山 史朗

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

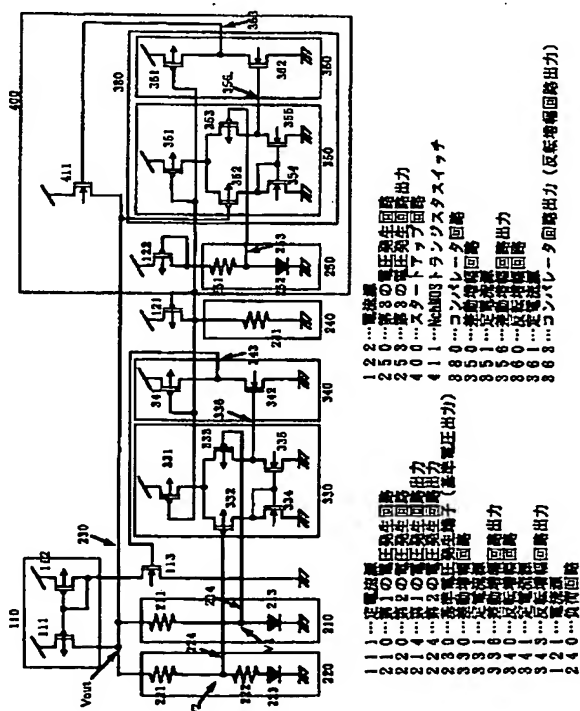
最終頁に続く

(54) 【発明の名称】 基準電圧発生回路のスタートアップ回路

(57) 【要約】

【課題】 基準電圧発生回路において幅広い電源電圧範囲で安定して動作ポイントを正常点へ移行させることができるスタートアップ回路を提供する。

【解決手段】 基準電圧発生端子230を有する抵抗素子とダイオード素子からなる第1と第2の電圧発生回路210、220の両出力が演算増幅回路(330、340)によってフィードバック制御されて基準電圧を発生させる場合に、ダイオード素子252を有する第3の電圧発生回路250と、基準電圧発生端子230の出力とをコンパレータ回路380により比較し、基準電圧発生端子側の出力レベルの方が低い場合に基準電圧発生端子230への供給電流を増大させ、これにより異常動作点から正常安定動作点に移行させる制御回路411を有する。



【特許請求の範囲】

【請求項1】 基準電圧発生端子を有し、前記基準電圧発生端子に一端が接続された第1の抵抗素子と、この第1の抵抗素子の他端に陽極が接続され陰極が低電圧源に接続された第1のダイオード素子とを有し、前記第1の抵抗素子と前記第1のダイオード素子との接続点が第1の内部点である第1の電圧発生回路と、

前記第1の電圧発生回路と同じ基準電圧発生端子を有し、前記基準電圧発生端子に一端が接続された第2の抵抗素子と、この第2の抵抗素子の他端に一端が接続された第3の抵抗素子と、この第3の抵抗素子の他端に陽極が接続され陰極が低電圧源に接続された第2のダイオード素子とを有し、前記第2の抵抗素子と前記第3の抵抗素子との接続点が第2の内部点である第2の電圧発生回路とを備え、

前記第1の内部点と前記第2の内部点の両電圧が同電位になるように前記基準電圧発生端子への供給電流をフィードバック制御することで一定の電圧を発生し前記第1の内部点の電圧値と前記第2の内部点の電圧値とが一致する正常動作点及びこの正常動作点以外の他の動作点を有する基準電圧発生回路のスタートアップ回路であって、

第3の内部点を有し、この第3の内部点と低電圧源との間に介設されたダイオード素子を有する構成を持つ第3の電圧発生回路と、

2個の入力端子を有し、前記2個の入力端子が前記第3の電圧発生回路の前記第3の内部点と前記第1と第2の電圧発生回路の前記基準電圧発生端子とに各々接続され両電圧の電位レベルを比較するコンパレータ回路と、制御入力端子と制御出力端子を有し、前記制御入力端子が前記コンパレータ回路の出力に接続され、前記コンパレータ回路の比較結果信号を受けて制御出力端子からの信号が、前記基準電圧発生端子への供給電流を更に制御することで前記基準電圧出力を正常動作とは異なる安定点から前記正常動作点へ移行させる制御回路を備えた基準電圧発生回路のスタートアップ回路。

【請求項2】 制御回路は、基準電圧発生端子と第3の内部点をコンパレータ回路により比較した結果で前記第3の内部点の電位より基準電圧出力が低い場合に、前記基準電圧発生端子への供給電流を増大させることで前記基準電圧出力を正常動作とは異なる安定点から正常動作点へ移行させる請求項1記載の基準電圧発生回路のスタートアップ回路。

【請求項3】 フィードバック制御は、2個の入力端子を有し、この2個の入力端子が第1の内部点と第2の内部点に各々接続された演算増幅回路によって行われる請求項1記載の基準電圧発生回路のスタートアップ回路。

【請求項4】 演算増幅回路は差動増幅回路を有し、この差動増幅回路は、定電流源と、この定電流源から電流が供給されると共に、前記第1お

よび第2の電圧発生回路の第1の内部点及び第2の内部点の両電圧が差動信号として入力され、この差動信号を増幅する差動増幅部と、

この差動増幅部の増幅差動信号が入力される第1および第2の電流入力端子を有し、前記第1の電流入力端子に入力される信号の値に比例した値で且つこの信号と同極性の電流を前記第2の電流入力端子から引き抜くカレントミラー回路とを備え、

前記第2の電流入力端子が差動増幅回路の出力端子となる請求項3記載の基準電圧発生回路のスタートアップ回路。

【請求項5】 演算増幅回路は更に反転増幅回路を備え、この反転増幅回路は、定電流源を有すると共に、差動増幅回路の出力端子の電圧を反転増幅する請求項4記載の基準電圧発生回路のスタートアップ回路。

【請求項6】 コンパレータ回路は差動増幅回路を有し、

この差動増幅回路は、定電流源と、

前記定電流源から電流が供給されると共に、前記基準電圧発生端子の基準電圧と前記第3の内部点が差動信号として入力され、この差動信号を増幅する差動増幅部と、この差動増幅部の増幅差動信号が入力される第1および第2の電流入力端子を有し、前記第1の電流入力端子に入力される信号の値に比例した値で且つこの信号と同極性の電流を前記第2の電流入力端子から引き抜くカレントミラー回路とを備え、

前記第2の電流入力端子が差動増幅回路の出力端子となる請求項1記載の基準電圧発生回路のスタートアップ回路。

【請求項7】 コンパレータ回路は更に反転増幅回路を備え、この反転増幅回路は、定電流源を有すると共に、差動増幅回路の出力端子の電圧を反転増幅する請求項6記載の基準電圧発生回路のスタートアップ回路。

【請求項8】 制御回路は、定電圧源と制御出力端子との間に介設されたスイッチ回路であって制御入力端子をスイッチのオン／オフ制御端子とし、基準電圧発生端子と第3の内部点をコンパレータ回路により比較した結果で第3の内部点の電位より前記基準電圧出力が低い場合にコンパレータ回路からの出力信号によりオンし、オン直前の制御出力端子の電位レベルと定電圧源電位レベルとの中間の一定電圧に到達した際に供給電流を減少させ少なくとも基準電圧発生回路の正常動作点への移行動作を完了する時間範囲においては前記一定電圧を維持する請求項1記載の基準電圧発生回路のスタートアップ回路。

【請求項9】 コンパレータ回路内の差動増幅回路及び反転増幅回路の各々の定電流源は、第3の電圧発生回路に流れる電流値に比例した値で且つ同極性の電流を引き抜く2個のカレントミラー回路を備え、前記各々のカレントミラー回路出力を定電流源出力とし、前記第3の電

10

20

30

40

50

3

圧発生回路が前記2個のカレントミラー回路の負荷回路として共用されている請求項6または請求項7記載の基準電圧発生回路のスタートアップ回路。

【請求項10】 演算増幅回路内の差動増幅回路及び反転増幅回路の各々の定電流源は、第3の電圧発生回路に流れる電流値に比例した値で且つ同極性の電流を引き抜く2個のカレントミラー回路を備え、前記各々のカレントミラー回路出力を定電流源出力とし、前記第3の電圧発生回路が前記2個のカレントミラー回路の負荷回路として共用されている請求項4、請求項5または請求項9記載の基準電圧発生回路のスタートアップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、供給される電源電圧や温度の変動の大きな影響を受けないで、一定のDC電位を出力する基準電圧発生回路において、その安定動作を補償するスタートアップ回路に関するものである。

【0002】

【従来の技術】一定のDC電位を発生する基準電圧発生回路は、安定した特性を実現するために様々な半導体回路装置、とりわけアナログ回路によく用いられる。その中でも図5に示すフィードバック制御されたバンドギャップ基準電圧発生回路は、電源電圧の変動や温度による出力DC電位の変動を抑えることができ、良好な基準電圧を得られることが知られている。

【0003】このバンドギャップ基準電圧発生回路は、フィードバック制御によって所要のDC電位が得られる正常動作安定点と、所要の電位よりも低いDC電位を出力する異常動作点を持つ。このためこうした基準電圧発生回路では、異常動作点を示す出力電位となった際に動作点を正常に戻すための回路を別途設けている。この回路は、電源投入の直後に入りやすい異常動作点を回避する役割を持つことからスタートアップ回路と呼ばれている。

【0004】以下に図5を用いて、バンドギャップ基準電圧発生回路と、従来のスタートアップ回路の動作について説明する。

【0005】図5において、カレントミラー回路110とカレントミラー回路110の電流を決めるNchMOSトランジスタ113から電流源が構成されており、NchMOSトランジスタ113によって決まる電流値に対してPchMOSトランジスタ112とPchMOSトランジスタ111とのトランジスタサイズ比に比例した一定電流を、第1の電圧発生回路210と第2の電圧発生回路220に供給する構成となっている。

【0006】第1の電圧発生回路210は基準電圧発生端子230に一端が接続された抵抗素子211と、抵抗素子211の他端とGNDとの間に介設されたダイオード素子213からなり、抵抗素子211とダイオード素子213の接続部を出力端子214としている。第2の電

(3)

特開2000-181554

4

圧発生回路220は基準電圧発生端子230に一端が接続された抵抗素子221と、抵抗素子221の他端と一端を接続された抵抗素子222と、この抵抗素子222の他端とGNDとの間に介設されたダイオード素子213のn倍の素子サイズを有するダイオード素子223からなり、抵抗素子221と222の間の接続点を出力端子224としている。

【0007】330は差動増幅回路を示しており、PchMOSトランジスタによる定電流源331と、この定電流源331から電流を供給され差動入力信号を増幅するPchMOSトランジスタ332、333と、このPchMOSトランジスタから増幅差動信号が入力されこの入力信号に応じた電流を引き抜くNchMOSトランジスタ334、335からなるカレントミラー回路とを備えている。PchMOSトランジスタ332、333のゲート入力はいずれも第2、第1の電圧発生回路220、210の出力信号を受けて差動増幅し、出力端子336に増幅信号を出力する構成となっている。

【0008】340は反転増幅回路であり、PchMOSトランジスタの定電流源341と、定電流源341からの電流を受けてゲート入力からの信号を反転増幅するNchMOSトランジスタ342からなる。反転増幅回路340は差動増幅回路330からの信号を受けて、反転増幅信号を出力端子343に出力する。この反転増幅回路340の出力端子343は、カレントミラー回路110の電流を決めるNchMOSトランジスタ113のゲート入力に接続されている。

【0009】121はPchMOSトランジスタの電流源であり、差動増幅回路330の定電流源331及び反転増幅回路340の定電流源341とゲート入力ノードを共有しカレントミラー回路を構成している。各電流源は負荷回路240の抵抗素子241によって決まる電流を基準に、電流源121のトランジスタサイズに対する定電流源331、341のトランジスタサイズに比例した電流をそれぞれ流す構成としている。

【0010】400はスタートアップ回路であり、インバータ回路370と制御回路420からなる。インバータ回路370はPchMOSトランジスタ371とNchMOSトランジスタ372からなり、基準電圧発生端子230を入力とし、出力373は制御回路420の入力へ接続されている。制御回路420は制御入力信号を反転するインバータ回路422とこのインバータ回路出力がゲート入力に接続されたPchMOSスイッチ421からなり、出力はNchMOSトランジスタ113のゲート入力に接続されている。

【0011】このような回路構成での第1及び第2の電圧発生回路210、220の動作を図3を用いて説明する。図3の横軸は基準電圧発生端子230の電圧 V_{out} を示し、縦軸は第1及び第2の電圧発生回路の出力214、224の電圧 V_1 、 V_2 を示している。基準電圧発

10

20

30

40

50

5

生端子230の電位を0Vより上げていくと、0.7V近傍まではダイオード素子のオン抵抗は大きくいわゆるオフ状態であり、第1および第2の電圧発生回路210、220ともにほぼ基準電圧発生端子230と同じ電圧を出力する。基準電圧出力の電圧 V_{out} が0.7Vを超えるとダイオード素子213がオンして電流が流れ、0.7V以上の基準電圧出力の電圧は抵抗素子211にかかり、第1の電圧発生回路210の出力 Q_1 はほぼ0.7Vの一定電圧となる。第2の電圧発生回路220はダイオード素子223がダイオード素子213の n 倍と大きい第1の電圧発生回路210のダイオード素子213よりも小さい基準電圧出力でオンしはじめて電流が流れ、0.7V以上の基準電圧出力の電圧は抵抗素子221と222にかかり、出力電圧 Q_2 はこの2つの抵抗素子221、222の抵抗値に応じて分圧されて抵抗素子222にかかる電圧とダイオード素子223のオン電圧を加えた出力電圧となる。図3に示す通り、0.7V以上の基準電圧出力で第1と第2の電圧発生回路210、220のそれぞれの出力はクロスポイントPを持つ。

【0012】差動増幅回路330と反転増幅回路340は合わせて演算増幅回路として動作する。この演算増幅回路の出力は第1および第2の電圧発生回路210、220の第1の電流源111の電流を決めるNchMOSトランジスタ113を制御する構成となっており、また一般的に演算増幅回路はゲインが大きく第1及び第2の電圧発生回路210、220からの差動入力ほぼ等しくなるようにフィードバック制御される。第1の電圧発生回路210の出力が第2の電圧発生回路220の出力よりも低い場合は、定電流源331からの電流はPchMOSトランジスタ333側に多く流れPchMOSトランジスタ332側は減少する方向へ動作ポイントに移そうとする。しかしながら、NchMOSトランジスタ334、335からなるカレントミラー回路は同じ電流を流そうとするため、PchMOSトランジスタ332、333のソースドレイン間電圧が変わることで平衡が保たれ、この場合はPchMOSトランジスタ333にかかる電圧が小さくなる。この結果、差動増幅回路出力336の電位レベルは上がり、反転増幅回路出力343は電位レベルが下がる。これによって、NchMOSトランジスタ113の電流は小さくなりカレントミラー回路110の電流を減らす方向へ動作点を移行させる。これは、基準電圧出力 V_{out} の電位レベルを下げることになる。図3のグラフ上では、クロスポイントPより右側の状態（第1の電圧発生回路出力が第2の電圧発生回路出力より低い状態）からクロスポイントPの方へ状態変化することを示している。一方、第1の電圧発生回路210の出力が第2の電圧発生回路220の出力より高い場合は逆の動作となっており、図3のグラフ上でクロスポイントPより左側の状態からクロスポイントPの方へ状態変化する。従って、図3上のクロスポイント

(4)

特開2000-181554

6

Pは安定動作点となる。

【0013】電源電圧が変動しても、常に演算増幅回路のフィードバック制御によってクロスポイントPは維持され、この時の電圧は第1と第2の電圧発生回路210、220の抵抗素子とダイオード素子の特性だけで決まるため、電源電圧に依存しない基準電圧が得られることになる。

【0014】また、この回路では温度に対する基準電圧の変動も、ダイオードのオン電圧の温度特性に対して、第1および第2の電圧発生回路210、220の抵抗素子を適当な値に選ぶことによって温度依存の小さい基準電圧が得られることが知られている。

【0015】一方図3に示す通り、クロスポイントP以外に基準電圧出力が小さいところで第1と第2の電圧発生回路出力の電位差が殆どなく、この若干の電位差が演算増幅回路のオフセット電圧とつりあうポイントすなわち異常動作点がある。この場合には正常な基準電圧が得られない。

【0016】こうした動作点に入らないようにするために、従来の基準電圧発生回路では図5に示すようなスタートアップ回路400を設けていた。

【0017】基準電圧出力を入力信号とするインバータ回路は、基準電圧が低い場合Hレベルを出力する。インバータ回路出力373がHレベルになると、制御回路420内のインバータ回路422は反転しPchMOSトランジスタスイッチ421はゲート入力にLレベル信号を受けてオンし制御出力をHレベルの方へ持ち上げる。制御回路出力はNchMOSトランジスタ113に接続されており、この動作によってカレントミラー回路の電流が増え、第1及び第2の電圧発生回路の各内部点の電位レベルは持ち上げられる。この結果基準電圧発生回路の動作点は、基準電圧出力が小さいところでの第1と第2の電圧発生回路出力が同電位となるポイントから高い基準電圧出力へと移行する。

【0018】基準電圧が高い電位レベルに移ると、PchMOSトランジスタ421はオフして制御回路420の出力はハイインピーダンス状態になり基準電圧出力を持ち上げる効果が止まる。この後、基準電圧発生回路は、安定点に移行し正常動作に入る。

【0019】

【発明が解決しようとする課題】しかしながら、このスタートアップ回路400では、インバータ回路370のスイッチングレベルの設定に注意を要した。スイッチングレベルが正常動作の基準電圧値よりも高いレベルにあると、安定点を超えても制御回路420が基準電圧を高いレベルに持ち上げようと、設計値と異なる基準電圧となってしまう。

【0020】またスイッチングレベルは電源電圧によっても変動する。昨今、半導体MOSプロセスでは微細化に伴ない電源電圧がスケールアップされてきている一方で、

7

集積度の増大からLSI 設計は設計済みの回路ブロックを再利用することで開発期間の短縮が図られている。こうした状況の下では、幅広い電源電圧範囲で安定して動作できる回路が要望される。従来のスタートアップ回路では、電源電圧に依存しない基準電圧に対して、電源電圧に依存するスイッチングレベルを有するインバータ回路を用いているため、幅広い電圧範囲に対応させることが難しい。

【0021】本発明は、以上の点に鑑みてなされたもので、幅広い電源電圧範囲でも安定して異常動作点から正常動作安定点に移行できる基準電圧発生回路のスタートアップ回路を提供することを目的としている。

【0022】

【課題を解決するための手段】上記問題点を解決するために、本発明の基準電圧発生回路のスタートアップ回路は、抵抗素子とダイオード素子からなる第1と第2の電圧発生回路の両出力が演算増幅回路によってフィードバック制御されて基準電圧を発生させる回路において、第3の電圧発生回路からの出力と基準電圧発生回路からの出力をコンパレータ回路により比較し、基準電圧出力レベルの方が低い場合にコンパレータ回路出力信号によって動作する制御回路で基準電圧発生端子への供給電流を増大させ、これにより異常動作点から正常安定動作点に移行させる構成を備え、且つ第3の電圧発生回路の出力にダイオードのオン電圧を利用した構成としている。

【0023】請求項1記載の基準電圧発生回路のスタートアップ回路は、基準電圧発生端子を有し、基準電圧発生端子に一端が接続された第1の抵抗素子と、この第1の抵抗素子の他端に陽極が接続され陰極が低電圧源に接続された第1のダイオード素子とを有し、第1の抵抗素子と第1のダイオード素子との接続点が第1の内部点である第1の電圧発生回路と、第1の電圧発生回路と同じ基準電圧発生端子を有し、基準電圧発生端子に一端が接続された第2の抵抗素子と、この第2の抵抗素子の他端に一端が接続された第3の抵抗素子と、この第3の抵抗素子の他端に陽極が接続され陰極が低電圧源に接続された第2のダイオード素子とを有し、第2の抵抗素子と第3の抵抗素子との接続点が第2の内部点である第2の電圧発生回路とを備え、第1の内部点と第2の内部点の両電圧が同電位になるように基準電圧発生端子への供給電流をフィードバック制御することで一定の電圧を発生し第1の内部点の電圧値と第2の内部点の電圧値とが一致する正常動作点及びこの正常動作点以外の他の動作点を有する基準電圧発生回路のスタートアップ回路であって、第3の内部点を有し、この第3の内部点と低電圧源との間に介設されたダイオード素子を有する構成を持つ第3の電圧発生回路と、2個の入力端子を有し、2個の入力端子が第3の電圧発生回路の第3の内部点と第1と第2の電圧発生回路の基準電圧発生端子とに各々接続され両電圧の電位レベルを比較するコンパレータ回路と、

(5)

特開2000-181554

8

制御入力端子と制御出力端子を有し、制御入力端子がコンパレータ回路の出力に接続され、コンパレータ回路の比較結果信号を受けて制御出力端子からの信号が、基準電圧発生端子への供給電流を更に制御することで基準電圧出力を正常動作とは異なる安定点から正常動作点へ移行させる制御回路を備えたものである。

【0024】請求項1記載の基準電圧発生回路のスタートアップ回路によれば、基準電圧発生端子の基準電圧出力の電位レベルを予め設定した電位レベルと比較して、Lowレベルとなっているときに基準電圧の電位レベルを決める供給電流を制御することで基準電圧出力レベルを持ち上げ、電源投入時などに所望の基準電圧が得られる正常動作安定点以外の異常動作点に陥るのを確実に防ぐことが可能となる。また電位レベルの判定にコンパレータ回路を用いることで、レベル判定は予め設定した比較対象電位レベルにのみ依存し、コンパレータ回路の判定結果は電源電圧に依存しないため幅広い電源電圧範囲で安定して動作することが可能となる。また、予め設定された比較対象電位レベルは陰極をGNDに接地したダイオードのオン電圧を利用しているため、更に電源電圧の影響を受けない電位レベルとすることができる。更に、基準電圧発生回路内の2つの電圧発生回路と同様のダイオード特性を用いているため、異常動作点と正常安定動作点の間の電位レベルに確実に設定でき、またオン電圧の温度特性が同じであることから温度の変動に対しても安定した動作が可能となる。

【0025】請求項2記載の基準電圧発生回路のスタートアップ回路は、請求項1において、制御回路が、基準電圧発生端子と第3の内部点をコンパレータ回路により比較した結果で第3の内部点の電位より基準電圧出力が低い場合に、基準電圧発生端子への供給電流を増大させることで基準電圧出力を正常動作とは異なる安定点から正常動作点へ移行させる請求項1記載の基準電圧発生回路のスタートアップ回路。

【0026】請求項2記載の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果がある。

【0027】請求項3記載の基準電圧発生回路のスタートアップ回路は、請求項1において、フィードバック制御が、2個の入力端子を有し、この2個の入力端子が第1の内部点と第2の内部点に各々接続された演算増幅回路によって行われるものである。

【0028】請求項3記載の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果がある。

【0029】請求項4記載の基準電圧発生回路のスタートアップ回路は、請求項3において、演算増幅回路が差動増幅回路を有し、この差動増幅回路は、定電流源と、この定電流源から電流が供給されると共に、第1および第2の電圧発生回路の第1の内部点及び第2の内部点の両電圧が差動信号として入力され、この差動信号を増幅する差動増幅部と、この差動増幅部の増幅差動信号が入

力される第1および第2の電流入力端子を有し、第1の電流入力端子に入力される信号の値に比例した値で且つこの信号と同極性の電流を第2の電流入力端子から引き抜くカレントミラー回路とを備え、第2の電流入力端子が差動増幅回路の出力端子となるものである。

【0030】請求項4記載の基準電圧発生回路のスタートアップ回路によれば、請求項3と同様な効果がある。

【0031】請求項5記載の基準電圧発生回路のスタートアップ回路は、請求項4において、演算増幅回路は更に反転増幅回路を備え、この反転増幅回路は、定電流源を有すると共に、差動増幅回路の出力端子の電圧を反転増幅するものである。

【0032】請求項5記載の基準電圧発生回路のスタートアップ回路によれば、請求項4と同様な効果がある。

【0033】請求項6記載の基準電圧発生回路のスタートアップ回路は、請求項1において、コンパレータ回路が差動増幅回路を有し、この差動増幅回路は、定電流源と、定電流源から電流が供給されると共に、基準電圧発生端子の基準電圧と第3の内部点が差動信号として入力され、この差動信号を増幅する差動増幅部と、この差動増幅部の増幅差動信号が入力される第1および第2の電流入力端子を有し、第1の電流入力端子に入力される信号の値に比例した値で且つこの信号と同極性の電流を第2の電流入力端子から引き抜くカレントミラー回路とを備え、第2の電流入力端子が差動増幅回路の出力端子となるものである。

【0034】請求項6記載の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果がある。

【0035】請求項7記載の基準電圧発生回路のスタートアップ回路は、請求項6において、コンパレータ回路が更に反転増幅回路を備え、この反転増幅回路は、定電流源を有すると共に、差動増幅回路の出力端子の電圧を反転増幅するものである。

【0036】請求項7記載の基準電圧発生回路のスタートアップ回路によれば、請求項6と同様な効果がある。

【0037】請求項8記載の基準電圧発生回路のスタートアップ回路は、請求項1において、制御回路が、定電圧源と制御出力端子との間に介設されたスイッチ回路であって制御入力端子をスイッチのオン/オフ制御端子とし、基準電圧発生端子と第3の内部点をコンパレータ回路により比較した結果で第3の内部点の電位より基準電圧出力が低い場合にコンパレータ回路からの出力信号によりオンし、オン直前の制御出力端子の電位レベルと定電圧源電位レベルとの中間の一定電圧に到達した際に供給電流を減少させ少なくとも基準電圧発生回路の正常動作点への移行動作を完了する時間範囲においては一定電圧を維持するものである。

【0038】請求項8記載の発明の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果のほか、正常動作点への移行の際に基準電圧出力が正常動

作点での電位レベルより大きくなりすぎてしまうのを防ぐことができる。このため、この基準電圧を利用する回路側で、所望の基準電圧より大きな異常電圧が入力された場合の誤動作対策を考慮する必要がなくなる。

【0039】請求項9記載の基準電圧発生回路のスタートアップ回路は、請求項6または請求項7において、コンパレータ回路内の差動増幅回路及び反転増幅回路の各々の定電流源は、第3の電圧発生回路に流れる電流値に比例した値で且つ同極性の電流を引き抜く2個のカレントミラー回路を備え、各々のカレントミラー回路出力を定電流源出力とし、第3の電圧発生回路が2個のカレントミラー回路の負荷回路として共用されているものである。

【0040】請求項9記載の発明の基準電圧発生回路のスタートアップ回路によれば、請求項6または請求項7と同様な効果のほか、回路を構成するのに必要なカレントミラー回路の負荷回路と比較対象電位レベルを発生する回路を共用することで、レイアウト面積とDC電流を削減することができる。

【0041】請求項10記載の基準電圧発生回路のスタートアップ回路は、請求項4、請求項5または請求項9において、演算増幅回路内の差動増幅回路及び反転増幅回路の各々の定電流源は、第3の電圧発生回路に流れる電流値に比例した値で且つ同極性の電流を引き抜く2個のカレントミラー回路を備え、各々のカレントミラー回路出力を定電流源出力とし、第3の電圧発生回路が2個のカレントミラー回路の負荷回路として共用されているものである。

【0042】請求項10記載の発明の基準電圧発生回路のスタートアップ回路によれば、請求項4または請求項5ならびに請求項9と同様な効果がある。

【0043】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0044】（第1の実施の形態）図1は、本発明の第1の実施の形態における基準電圧発生回路である。

【0045】図1において、カレントミラー回路110とカレントミラー回路の電流を決めるNchMOSトランジスタ113から電流源が構成されており、NchMOSトランジスタ113によって決まる電流値に対してPchMOSトランジスタ112とPchMOSトランジスタ111とのトランジスタサイズ比に比例した一定電流を、第1の電圧発生回路210と第2の電圧発生回路220に供給する構成となっている。

【0046】第1の電圧発生回路210は基準電圧発生端子230に一端が接続された抵抗素子211と、抵抗素子211の他端とGNDとの間に介設されたダイオード素子213からなり、抵抗素子211とダイオード素子213の接続部を出力端子214としている。第2の電圧発生回路220は基準電圧発生端子230に一端が接

11

続された抵抗素子221と、抵抗素子211の他端と一端を接続された抵抗素子222と、この抵抗素子222の他端とGNDとの間に介設されたダイオード素子213のn倍の素子サイズを有するダイオード素子223からなり、抵抗素子221と222の間の接続点を出力端子214としている。

【0047】330は差動増幅回路を示しており、PchMOSトランジスタによる定電流源331と、この定電流源から電流を供給され差動入力信号を増幅するPchMOSトランジスタ332、333と、このPchMOSトランジスタから増幅差動信号が入力されこの入力信号に応じた電流を引き抜くNchMOSトランジスタ334、335からなるカレントミラー回路とを備えている。PchMOSトランジスタ332、333のゲート入力はいずれも第2、第1の電圧発生回路220、210の出力信号を受けて差動増幅し、出力端子336に増幅信号を出力する構成となっている。

【0048】340は反転増幅回路であり、PchMOSトランジスタの定電流源341と、定電流源341からの電流を受けてゲート入力からの信号を反転増幅するNchMOSトランジスタ342からなる。反転増幅回路340は差動増幅回路330からの信号を受けて、反転増幅信号を出力端子343に出力する。この反転増幅回路出力343は、カレントミラー回路の電流を決めるNchMOSトランジスタ113のゲート入力に接続されている。

【0049】400はスタートアップ回路であり、第3の電圧発生回路250とコンパレータ回路380と制御回路であるNchMOSトランジスタスイッチ411からなる。第3の電圧発生回路250は、電流源122に一端が接続された抵抗素子251と、抵抗素子251の他端とGNDの間に介設されたダイオード素子252からなり、抵抗素子251とダイオード素子252の接続部を出力端子253としている。NchMOSトランジスタスイッチ411は電源端子と基準電圧発生端子230との間に介設されている。

【0050】コンパレータ回路380は更に差動増幅回路350と反転増幅回路360からなる。差動増幅回路350は、PchMOSトランジスタによる定電流源351と、この定電流源351から電流を供給され差動入力信号を増幅するPchMOSトランジスタ352、353と、これらのPchMOSトランジスタ352、353から増幅差動信号が入力されこの入力信号に応じた電流を引き抜くNchMOSトランジスタ354、355からなるカレントミラー回路とを備えている。差動増幅回路350の入力すなわちコンパレータ回路380の入力ともなるPchMOSトランジスタ352、353のゲート入力はいずれも基準電圧発生端子230および第3の電圧発生回路250の出力端子253が接続され、それらの出力信号を受けて差動増幅し、出力端子356に増幅信号を出力する構成となっている。360は反転増幅回路であり、PchMOSト

(7)

特開2000-181554

12

ンジスタの定電流源361と、定電流源361からの電流を受けてゲート入力からの信号を反転増幅するNchMOSトランジスタ362からなる。反転増幅回路360は差動増幅回路350からの信号を受けて、反転増幅信号を出力端子363に出力する。コンパレータ回路380の出力ともなる反転増幅回路出力363は、NchMOSトランジスタスイッチ411のゲート入力へ接続されている。

121はPchMOSトランジスタの電流源であり、差動増幅回路330の定電流源331、反転増幅回路340の定電流源341と更にコンパレータ回路380内の差動増幅回路350の定電流源351、反転増幅回路360の定電流源361とゲート入力ノードを共有しカレントミラー回路を構成している。カレントミラーの負荷回路240は、電流源121に一端が接続された抵抗素子241からなる。各定電流源331、341、351及び361は抵抗素子241に流れる電流を基準に、電流源121のトランジスタサイズに対するそれぞれの定電流源トランジスタのサイズに比例した電流をそれぞれ流す構成としている。

【0051】このような回路構成において、カレントミラー回路110とNchMOSトランジスタ113で構成されている電流源、第1と第2の電圧発生回路210、220、差動増幅回路330及び反転増幅回路340からなる基準電圧発生回路の動作については図5の従来回路の動作と同様である。ここでは基準電圧を発生させる動作についての説明は省略し、スタートアップ回路400に関わる動作について説明する。

【0052】この基準電圧発生回路は従来例と同様に、先に示した第1の電流源から電流が供給されて第1及び第2の電圧発生回路210、220の両出力214、224が同電位となる正常動作点以外に別の動作点を有する。これは、第1の電流源から殆ど電流が供給されない場合であり、この時第1及び第2の電圧発生回路210、220の両出力とも正常動作点よりもGNDレベルよりの電位となり、この場合も両出力はほぼ同じ電位レベルとなる。基準電圧発生端子(基準電圧出力)230がこうした正常動作点以外の低い電位レベルの動作点となったとき、スタートアップ回路400は以下に示すように動作する。

【0053】第3の電圧発生回路250の出力253に比べて基準電圧出力230の電位が低い場合、コンパレータ回路380内の差動増幅回路350のPchMOSトランジスタ352に流れる電流は増える方向へ、PchMOSトランジスタ353に流れる電流は減る方向へ動作点を移そうとする。一方、2つのNchMOSトランジスタ354、355で構成されているカレントミラー回路はPchMOSトランジスタ352、353に同じ電流を流そうとするため、PchMOSトランジスタ352のソースドレイン間電圧は小さくなり、PchMOSトランジスタ353のソースドレイン間電圧は大きくなって平衡を保とうとする。こ

13

の結果、差動回路出力356は電位が下がりLowレベルとなる。反転増幅回路360は差動増幅回路出力356の変化に対してNchMOSトランジスタ362に流れる電流は減る方向へ動作点を移そうとするが、定電流源361は一定電流を保とうとするため、NchMOSトランジスタ362のソースドレイン間電圧が大きくなり、出力363はHighレベルへと移行する。

【0054】このコンパレータ回路380の動作によってNchMOSトランジスタスイッチ411はオンし、第1及び第2の電圧発生回路210、220に電流を流し込む。この動作によって、電圧発生回路210、220内の各素子にかかる電圧は大きくなり、基準電圧出力230はHighレベルへと持ち上げられる。基準電圧出力230が持ち上がると所望の基準電圧が得られる正常動作安定点へと動作ポイントが移行していく。この移行の際に基準電圧出力230が第3の電圧発生回路250の出力253より高いレベルになると、コンパレータ回路380は前述の動作とは逆の動作を行って出力363はLowレベルとなる。この結果NchMOSトランジスタスイッチ411はオフし制御回路出力はハイインピーダンス状態となつて、第1及び第2の電圧発生回路210、220に電流を流し込む動作をストップする。

【0055】以上のような動作により、電源立上げ時等に陥りやすい異常動作を回避し正常動作点へ移行することが可能となる。

【0056】本発明の第1の実施の形態によれば、コンパレータ回路380の出力反転は、2入力信号レベルの大小によって決まり、供給される電源電圧によって判定レベルが変わるといったことがないため幅広い電源電圧範囲においてこうした異常動作点を回避する動作が可能となる。

【0057】また、第3の電圧発生回路250の出力253の電圧はダイオードのオン電圧で決まっていることから電源電圧の変動に伴う出力電位レベルの変動を抑制することができる。第3の電圧発生回路250の構成はGNDに陰極が接続されたダイオード素子を用いている点で第1及び第2の電圧発生回路210、220と同様である。従って、第1及び第2の電圧発生回路が異常動作点にある場合は、第1及び第2の電圧発生回路210、220内のダイオード素子213、223はオフ状態にあつて基準電圧出力が低い電位レベルにあるのに対して、第3の電圧発生回路250内のダイオード素子252は常にオン状態であり、この時第3の電圧発生回路250の出力253は常に基準電圧出力より高い電位となる。これは図3上では、第3の電圧発生回路250の出力電位V3は基準電圧出力電位Voutによらず一定であり、必ず異常動作点の右側に位置することを示している。この結果、コンパレータ回路380は確実に異常動作点から正常動作安定点へ移行させるための信号を発生する。

(8)

特開2000-181554

14

【0058】一方第1及び第2の電圧発生回路210、220が正常動作点にある場合は、第1及び第2の電圧発生回路210、220内のダイオード素子213、223はオン状態になり基準電圧出力はダイオードのオン電圧に更に抵抗素子にかかる電圧を加えた電位レベルとなり、この時第3の電圧発生回路250の出力253は常に基準電圧出力より低い電位となる。これは図3上では、第3の電圧発生回路250の出力電位V3は必ず正常動作点Pの左側に位置することを示している。この結果、ダイオードのオン電圧だけで決まる第3の電圧発生回路250の出力を判定レベルとするコンパレータ回路380は正常動作点Pへの移行後には確実に出力反転してスタートアップ動作を止めることができる。

【0059】更に、温度の変動に伴ってダイオードのオン電圧が変動した場合においても第1及び第2の電圧発生回路からの基準電圧出力と第3の電圧発生回路の出力は同様の温度特性を持つため、温度変動に対する動作マージンが確保できる。

【0060】(第2の実施の形態)次に、第2の実施の形態について、図2を参照しながら説明する。図2は本発明の第2の実施の形態における基準電圧発生回路の回路図である。

【0061】第2の実施の形態の基準電圧発生回路では、図1の第1の実施の形態の基準電圧発生回路とは、第3の電圧発生回路250の構成方法と制御回路410の構成が異なる。すなわち第3の電圧発生回路250は、差動増幅回路330の定電流源331、反転増幅回路340の定電流源341、更にコンパレータ回路380内の差動増幅回路350の定電流源351、および反転増幅回路360の定電流源361で構成されるカレントミラー回路の負荷回路として共用されている。代わりに、図1の基準電圧発生回路の電流源121とその負荷回路240が削除されている。また制御回路410は、一端が電源端子に接続されたゲート入力を制御入力端子とするNchMOSトランジスタスイッチ411と、このNchMOSトランジスタスイッチ411の他端と制御出力端子との間に介設されゲート入力をNchMOSトランジスタスイッチ411の他端に接続しダイオード接続されたNchMOSトランジスタ412からなり、制御出力端子はNchMOSトランジスタ113のゲート入力に接続されている。

【0062】その他の構成は、図1に示す基準電圧発生回路の構成と同様であり、図1と同様の機能を有する部分に同一の符号を付けて、その詳細な説明を省略する。

【0063】このような回路構成において、カレントミラー回路110とNchMOSトランジスタ113で構成されている電流源、第1と第2の電圧発生回路210、220、差動増幅回路330及び反転増幅回路340からなる基準電圧発生回路の動作については、図5の従来回路の動作と同様である。ここでは基準電圧を発生させる動作についての説明は省略し、スタートアップ回路400

15

に関わる動作について説明する。

【0064】この基準電圧発生回路は第1の実施の形態と同様に、先に示した第1の電流源から電流が供給されて第1及び第2の電圧発生回路210、220の両出力が同電位となる正常動作点以外に別の動作点を有する。基準電圧出力230がこうした正常動作点以外の低い電位レベルの動作点となったとき、スタートアップ回路400は以下に示すように動作する。

【0065】第3の電圧発生回路250の出力253に比べて基準電圧出力230の電位が低い場合第1の実施の形態と同様にコンパレータ回路出力363はHighレベルへと移行する。

【0066】このコンパレータ回路380の動作によって、制御回路410内のNchMOSスイッチ411はオンし、ダイオード接続のNchMOSトランジスタ412を介して、NchMOSトランジスタ113のゲート入力をHighレベルへと持ち上げる。これにより、NchMOSトランジスタ113を流れる電流は増え、これに比例して定電流源111の電流は増える。この動作によって、電圧発生回路210、220内の各素子にかかる電圧は大きくなり、基準電圧出力230はHighレベルへと持ち上げられる。基準電圧出力230が持ち上がると所望の基準電圧が得られる正常動作安定点へと動作ポイントが移行していく。この移行の際に基準電圧出力230が第3の電圧発生回路250の出力253より高いレベルになると、コンパレータ回路380は前述の動作とは逆の動作を行って出力363はLowレベルとなる。この結果制御回路410のNchMOSトランジスタスイッチ411はオフし制御回路出力はハイインピーダンス状態となって、NchMOSトランジスタ113のゲート入力をHighレベルに持ち上げる動作をストップする。

【0067】また、制御回路410内のスイッチにはNchMOSトランジスタスイッチ411を用いており、更にダイオード接続のNchMOSトランジスタ412が出力端子との間に介設されていることで、スイッチがオンして電流が供給されVDD - 2Vtに達した時点で電流の供給が止まり、出力電位はこの電位レベルにクリップされる。この動作は、NchMOSトランジスタ113のオン抵抗の急激な低下、すなわち第1の電流源の電流の急激な増大を抑えることになる。このため、基準電圧発生端子230の電位レベルが正常動作点で得られる電圧より大きくなりすぎるのを防ぐことができる。

【0068】図4(a)に基準電圧出力が異常動作点から正常動作点Pへ移行する際の動作波形を示す。図5の従来回路の場合では、制御回路420によって基準電圧出力が電源電圧に近いレベルまで一端持ち上げられる。基準電圧出力は図3に示す正常動作点(クロスポイント)Pよりかなり大きくなって、フィードバック制御によりクロスポイントPの方へ戻す効果が差動増幅回路330において大きく働く。この結果、クロスポイントP

(9)

特開2000-181554

16

を行き過ぎてしまうといった動作となり、これを繰り返すかたちで図4(b)に示すように基準電圧出力が発振するという動作に陥りやすい。一方、図2の本発明の第2の実施の形態の回路の場合では、正常動作点Pでの電位レベルより大きくなり過ぎず、むしろ図3に示すクロスポイントPより左側から近づいていくため発振動作も起こさずスムーズに正常動作点へ移行する。

【0069】第2の実施の形態の回路では、正常動作時の基準電圧より大きな出力電圧を発生することがないため、この基準電圧発生回路を用いている回路の動作への悪影響を未然に回避することができる。

【0070】更に第2の実施の形態では、コンパレータ回路380内の差動増幅回路350及び反転増幅回路360の定電流源を構成するカレントミラー回路の負荷回路とフィードバック制御を行なう差動増幅回路330及び反転増幅回路340の定電流源を構成するカレントミラー回路の負荷回路を第3の電圧発生回路250と共用しているため、別途負荷回路を設けた場合に比べてレイアウト面積とDC電流を削減することができる。

【0071】

【発明の効果】請求項1記載の基準電圧発生回路のスタートアップ回路によれば、基準電圧発生端子の基準電圧出力の電位レベルを予め設定した電位レベルと比較して、Lowレベルとなっているときに基準電圧の電位レベルを決める供給電流を制御することで基準電圧出力レベルを持ち上げ、電源投入時などに所望の基準電圧が得られる正常動作安定点以外の異常動作点に陥るのを確実に防ぐことが可能となる。また電位レベルの判定にコンパレータ回路を用いることで、レベル判定は予め設定した比較対象電位レベルにのみ依存し、コンパレータ回路の判定結果は電源電圧に依存しないため幅広い電源電圧範囲で安定して動作することが可能となる。また、予め設定された比較対象電位レベルは陰極をGNDに接地したダイオードのオン電圧を利用しているため、更に電源電圧の影響を受けない電位レベルとすることができる。更に、基準電圧発生回路内の2つの電圧発生回路と同様のダイオード特性を用いているため、異常動作点と正常安定動作点の間の電位レベルに確実に設定でき、またオン電圧の温度特性が同じであることから温度の変動に対しても安定した動作が可能となる。

【0072】請求項2記載の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果がある。

【0073】請求項3記載の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果がある。

【0074】請求項4記載の基準電圧発生回路のスタートアップ回路によれば、請求項3と同様な効果がある。

【0075】請求項5記載の基準電圧発生回路のスタートアップ回路によれば、請求項4と同様な効果がある。

【0076】請求項6記載の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果がある。

50

【0077】請求項7記載の基準電圧発生回路のスタートアップ回路によれば、請求項6と同様な効果がある。

【0078】請求項8記載の発明の基準電圧発生回路のスタートアップ回路によれば、請求項1と同様な効果のほか、正常動作点への移行の際に基準電圧出力が正常動作点での電位レベルより大きくなりすぎてしまうのを防ぐことができる。このため、この基準電圧を利用する回路側で、所望の基準電圧より大きな異常電圧が入力された場合の誤動作対策を考慮する必要がなくなる。

【0079】請求項9記載の発明の基準電圧発生回路のスタートアップ回路によれば、請求項6または請求項7と同様な効果のほか、回路を構成するのに必要なカレントミラー回路の負荷回路と比較対象電位レベルを発生する回路を共用することで、レイアウト面積とDC電流を削減することができる。

【0080】請求項10記載の発明の基準電圧発生回路のスタートアップ回路によれば、請求項4または請求項5ならびに請求項9と同様な効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の基準電圧発生回路の全体構成図である。

【図2】本発明の第2の実施の形態の基準電圧発生回路の全体構成図である。

【図3】基準電圧出力電位に対する第1及び第2の電圧発生回路の出力電位を示したグラフである。

【図4】異常動作点から正常動作点へ移行する際の基準電圧出力の波形を示した図であり、(a)は図2の第2の実施の形態の場合、(b)は図5の従来例の場合である。

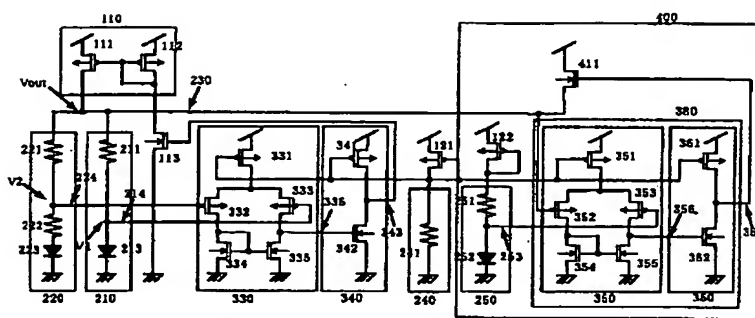
【図5】従来例の基準電圧発生回路の全体構成図である。

【符号の説明】

110 カレントミラー回路
111 定電流源
112 PchMOSトランジスタ（電流源）
113 NchMOSトランジスタ
210 第1の電圧発生回路
220 第2の電圧発生回路
211、221、222 抵抗素子
213、223 ダイオード素子
214 第1の電圧発生回路出力
224 第2の電圧発生回路出力
230 基準電圧発生端子（基準電圧出力）
330 差動増幅回路

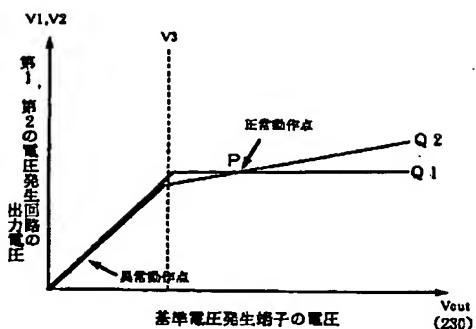
331 定電流源
332、333 差動増幅部PchMOSトランジスタ
334、335 カレントミラー回路部NchMOSトランジスタ
336 差動増幅回路出力
340 反転増幅回路
341 定電流源
342 反転増幅部NchMOSトランジスタ
343 反転増幅回路出力
121 電流源
240 負荷回路
241 抵抗素子
122 電流源
250 第3の電圧発生回路
251 抵抗素子
252 ダイオード素子
253 第3の電圧発生回路出力
400 スタートアップ回路
410 制御回路
411 NchMOSトランジスタスイッチ
412 ダイオード接続NchMOSトランジスタ
420 制御回路
421 PchMOSトランジスタスイッチ
422 インバータ回路
380 コンパレータ回路
350 差動増幅回路
351 定電流源
352、353 差動増幅部PchMOSトランジスタ
354、355 カレントミラー回路部NchMOSトランジスタ
356 差動増幅回路出力
360 反転増幅回路
361 定電流源
362 反転増幅部NchMOSトランジスタ
363 コンパレータ回路出力（反転増幅回路出力）
370 インバータ回路
371 PchMOSトランジスタ
372 NchMOSトランジスタ
373 インバータ回路出力
40 Vout 基準電圧出力
V1 第1の電圧発生回路出力電位
V2 第2の電圧発生回路出力電位
V3 第3の電圧発生回路出力電位

【図1】



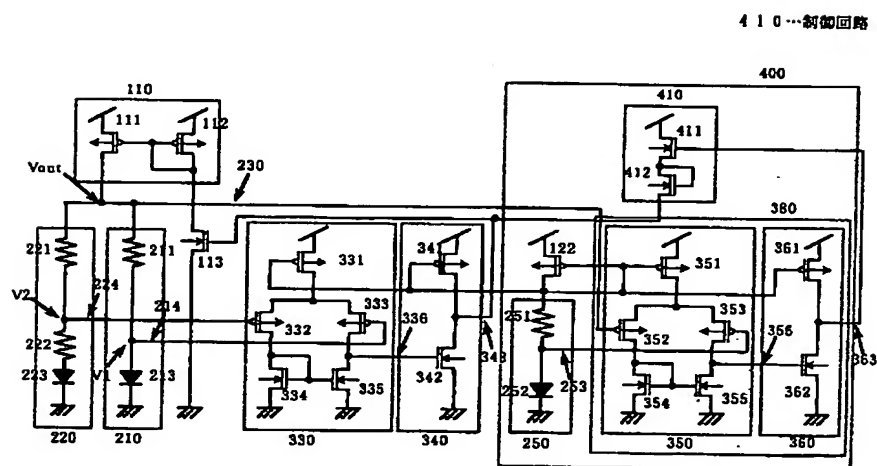
- | | |
|------------------------|----------------------------|
| 111...定電流源 | 122...電流源 |
| 210...第1の電圧発生回路 | 250...第3の電圧発生回路 |
| 220...第2の電圧発生回路 | 253...第3の電圧発生回路出力 |
| 221...第1の電圧発生回路出力 | 400...スタートアップ回路 |
| 222...第2の電圧発生回路出力 | 411...NMOSトランジスタスイッチ |
| 223...第2の電圧発生回路出力 | 880...コンパレータ回路 |
| 230...基準電圧発生端子(基準電圧出力) | 880...差動増幅回路 |
| 231...電流源 | 881...定電流源 |
| 232...差動増幅回路出力 | 882...差動増幅回路出力 |
| 233...差動増幅回路出力 | 883...反転増幅回路 |
| 234...定電流源 | 884...定電流源 |
| 235...反転増幅回路出力 | 885...コンパレータ回路出力(反転増幅回路出力) |
| 121...電流源 | |
| 240...負荷回路 | |

【図3】

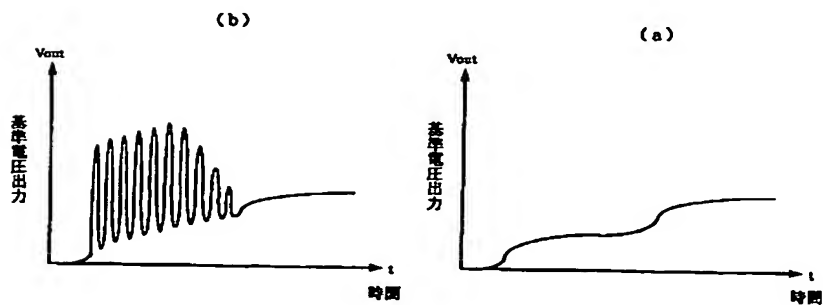


Vout...基準電圧出力
V1...第1の電圧発生回路出力電位
V2...第2の電圧発生回路出力電位
V3...第3の電圧発生回路出力電位

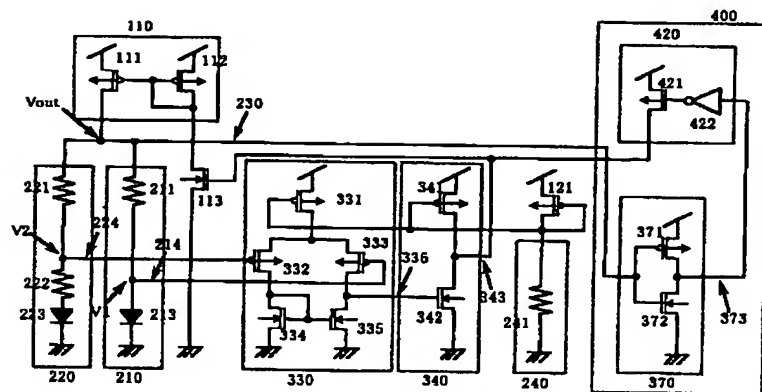
【図2】



【図4】



4 2 0 …制御回路
3 7 0 …インバータ回路
8 7 3 …インバータ回路出力



F ターム(参考) 5H430 BB01 BB05 BB09 BB11 EE06
FF02 FF12 GG04 HH03 JJ07
KK01
5J066 AA03 AA11 AA12 AA43 AA58
CA04 FA02 FA10 FA17 HA10
HA19 HA25 HA39 KA02 KA09
KA11 MA13 MA20 ND09 ND24
TA01 TA02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.